

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Group Art Unit: To Be Assigned

Examiner: To Be Assigned

In Re PATENT APPLICATION Of:

Applicants : Toshio TERAISHI

Serial No. : To Be Assigned

Filed : July 14, 2003

For : ANALOG VOLTAGE OUTPUT DRIVER
LSI CHIP HAVING TEST CIRCUIT

Attorney Ref. : 03DCOAI030

CLAIM FOR PRIORITY

July 14, 2003

Commissioner for Patents
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of applicant's first-filed Japanese Application No. 2002-288530, filed October 1, 2002, the rights of priority of which have been and are claimed pursuant to the provisions of 35 U.S.C. §119.

It is respectfully requested that receipt of this priority document be acknowledged.

Respectfully submitted,



Junichi MIMURA (Registration No. 40,351)
Oki America, Inc.
1101 14th Street, N.W., Suite 555
Washington, D.C. 20005
Telephone : (202) 452-6190
Telefax : (202) 452-6148
Customer No.: 26071

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月 1日

出 願 番 号

Application Number:

特願2002-288530

[ST.10/C]:

[JP2002-288530]

出 願 人

Applicant(s):

沖電気工業株式会社

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3006956

【書類名】 特許願

【整理番号】 MA001374

【提出日】 平成14年10月 1日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社
社内

【氏名】 寺石 利夫

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代表者】 篠塚 勝正

【代理人】

【識別番号】 100083840

【弁理士】

【氏名又は名称】 前田 実

【選任した代理人】

【識別番号】 100116964

【弁理士】

【氏名又は名称】 山形 洋一

【手数料の表示】

【予納台帳番号】 007205

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003703

【包括委任状番号】 0101807

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 アナログ電圧出力ドライバLSIチップ、チップキャリア、およびアナログ電圧出力ドライバデバイス

【特許請求の範囲】

【請求項1】 多数のアナログ電圧出力チャンネルを有するアナログ電圧出力ドライバLSIにおいて、

上記アナログ電圧出力の本数に応じたビット数のテスト用シフトレジスタ回路と、

上記アナログ電圧出力の本数に応じた個数のテスト用スイッチ回路と、

上記テスト用スイッチ回路が共通接続されたテスト出力端子と

を備え、

上記テスト用シフトレジスタ回路のビット出力で上記テスト用スイッチ回路を個別にON/OFF制御し、

上記テスト用スイッチ回路の内の任意の1つをONして、そのテスト用スイッチ回路が接続している1つのアナログ電圧出力を上記テスト出力端子に出力することを特徴とするアナログ電圧出力ドライバLSIチップ。

【請求項2】 請求項1記載のLSIチップにおいて、

上記アナログ電圧出力の本数Mの1/Nのビット数のテスト用シフトレジスタ回路と、

M個のテスト用スイッチ回路と、

N本のテスト出力端子と

を備え、

上記テスト用スイッチ回路をM/N個ずつ上記テスト出力端子のそれぞれに共通接続し、

異なるテスト出力端子に接続されたN個のテスト用スイッチ回路を上記テスト用シフトレジスタ回路の1つの出力ビットで制御する

ことを特徴とするアナログ電圧出力ドライバLSIチップ。

【請求項3】 請求項1記載のLSIチップにおいて、

上記アナログ電圧出力の本数の半分のビット数のテスト用シフトレジスタ回路

と、

上記アナログ電圧出力の本数の半分の個数のテスト用スイッチ回路と、

上記テスト用スイッチ回路が共通接続されたテスト出力端子と

を備え、

上記テスト用スイッチ回路のそれぞれを上記アナログ電圧出力内の互いに反転が可能な2本の出力のいずれかに個別に接続した

ことを特徴とするアナログ電圧出力ドライバLSIチップ。

【請求項4】 請求項1記載のLSIチップにおいて、

上記テスト用シフトレジスタ回路に、上記任意の1つのテスト用スイッチ回路をONさせるためのデータを保持しておくダミービットを設けた

ことを特徴とするアナログ電圧出力ドライバLSIチップ。

【請求項5】 請求項1記載のLSIチップを実装するためのチップキャリアであって、

上記テスト出力端子に接続されるテスト出力パッドが、ユーザエリア内に設けられている

ことを特徴とするチップキャリア。

【請求項6】 請求項5記載のチップキャリアにおいて、

上記ユーザエリアは、上記LSIチップの複数の入力端子にそれぞれ接続される入力リードおよび上記LSIチップの複数の出力端子にそれぞれ接続される出力リードが設けられており、上記LSIチップが実装され、個片に切り抜かれてキャリアパッケージとなるエリアであって、上記出力リードの端部にそれぞれ設けられたテストパッドを含まないエリアである

ことを特徴とするチップキャリア。

【請求項7】 請求項6記載のチップキャリアにおいて、

上記テスト出力パッドが、上記入力リードの配列側に設けられている

ことを特徴とするチップキャリア。

【請求項8】 請求項1記載のLSIチップをキャリアパッケージに実装したアナログ電圧出力ドライバデバイスであって、

上記テスト出力端子に接続されたテスト出力パッドが、上記キャリアパッケー

ジに設けられている

ことを特徴とするアナログ電圧出力ドライバデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、TFTソースドライバLSIチップなどの多数の出力チャンネルを有するアナログ電圧出力ドライバLSIチップであって評価や解析をするためのテスト回路を設けたアナログ電圧出力ドライバLSIチップ、このアナログ電圧出力ドライバLSIチップを実装するためのキャリアテープやフィルムなどのチップキャリア、上記アナログ電圧出力ドライバLSIチップをキャリアパッケージ（上記チップキャリアをユーザエリアで切り抜いた上記チップキャリアの個片）に実装したアナログ電圧出力ドライバデバイスに関するものである。

【0002】

【従来の技術】

多数の出力チャンネルを有するアナログ電圧出力ドライバの代表的なものとして、液晶パネルなどに用いられるTFTソースドライバは、階調表示のためのアナログ電圧出力端子を数百本も有する多出力チャンネルのアナログ電圧出力ドライバである。

【0003】

図6は従来のTFTソースドライバLSIチップの構成図であって、384本のアナログ電圧出力チャンネルを有するTFTソースドライバのLSIチップである。

【0004】

図6の従来のLSIチップ100は、コントローラ101と、抵抗ストリング102と、2nビット双方向シフトレジスタ103と、データレジスタ104と、レベルシフタ105と、マルチプレクサ106と、出力回路107とを備えている。

【0005】

また、図6の従来のLSIチップ100は、電源VDD、VCCの入力端子と

、基準電源VSSの入力端子と、それぞれ $2n (=m)$ 本の電圧VH($2n:0$)、VL($2n:0$)の入力端子と、それぞれ n ビットのデータA, B, C, D, E, Fの入力端子DA($2:0$), DB($2:0$), DC($2:0$), DD($2:0$), DE($2:0$), DF($2:0$)と、クロックパルスCPの入力端子と、出力極性信号POLの入力端子と、ロードパルスLOADの入力端子と、ダウンシフト信号EDの入力端子と、アップシフト信号EUの入力端子と、384本のアナログ電圧出力0001, 0002, ..., 0384の出力端子とを備えている。

【0006】

TFTソースドライバLSIチップは、キャリアテープやフィルムなどのチップキャリアのユーザエリア内に実装され、このTFTソースドライバLSIチップを実装したチップキャリアは、テープ・キャリア・パッケージ(TCP)またはチップ・オン・フィルム(COF)などのキャリアパッケージとして、上記ユーザエリアで個片に切り抜かれる。なお、TCP実装とCOF実装とは、チップキャリアの材料などに違いはあるが、基本構成は同じである。

【0007】

このようにして、TFTソースドライバLSIチップをキャリアパッケージに実装(TCP実装またはチップCOF実装など)したTFTソースドライバデバイスが製造される。そして、このTFTソースドライバデバイスが、TFT液晶パネルやそのプリント基板に組込まれる。

【0008】

図7は従来のLSIチップ100を実装したチップキャリアの上面構成図である。図7の従来のチップキャリア200は、ユーザエリア201内にLSIチップ100が実装されており、このユーザエリア201で個片に切り抜かれて、TFTソースドライバデバイスのキャリアパッケージになる。

【0009】

図7の従来のチップキャリア200には、LSIチップ100のそれぞれの入力端子に個別に接続する複数の入力リード202と、LSIチップ100のアナログ電圧出力0001-0384の出力端子のそれぞれに個別に接続する多数の

出力リード203と、出力リード203のそれぞれに個別に接続する多数のテストパッド204とが設けられている。

【0010】

テストパッド204は、ユーザエリア201の外部に設けられており、チップキャリア200に実装されたLSIチップ100の電気的特性の測定による選別や出荷検査において、テスト針の針当をするために設けられたパッドである。テストパッド204をユーザエリア201の外部に設けることによって、針痕がユーザエリア201内（個片のキャリアパッケージ）に残らないというメリットがある。

【0011】

さらに、数百本もの多出力チャンネルを有するTFTソースドライバでは、出力リード203のパターンピッチが狭くなるため、多数のテストパッド204を配置することが困難になる。このため、テストパッド204の配列を数段に積み重ねるといった配置の工夫によって、テスト針の接触容易性を高めることも可能である。あるいは、例えば特開2000-131393号公報に記載されているように、ユーザエリア201の外部において、多数の出力リード204を共通接続することによって、テストパッド204の数を減らすことも可能である。

【0012】

【発明が解決しようとする課題】

しかしながら、上記従来の技術では、個片のキャリアパッケージにテストパッドが残らないために、デバイスの返品時などにおいてLSIチップの評価や解析が必要になったときには、狭ピッチの出力リードの全てに探針して数百本もの出力チャンネルのアナログ出力電圧を測定しなければならない。出力リードのピッチは例えば80 [μ m]であり、これら狭ピッチの出力リードの全てに高精度マニピュレータで探針しなければならない。また、384本の出力を確認するためには、マニピュレータの針当てが384回も必要であった。

【0013】

このように従来の技術では、デバイスになったあとに針当てをすることが困難であるために、デバイスの返品時などにおいて評価や解析のためのアナログ電圧

出力ドライバ L S I チップの電気特性の確認が困難であるという課題があった。

【 0 0 1 4 】

本発明は、このような従来の課題を解決するためになされたものであり、個片のキャリアパッケージに実装されたアナログ電圧出力ドライバ L S I チップの電気特性を容易に確認できるようにすることを目的とするものである。

【 0 0 1 5 】

【課題を解決するための手段】

本発明のアナログ電圧出力ドライバ L S I チップは、
多数のアナログ電圧出力チャンネルを有するアナログ電圧出力ドライバ L S I
において、

上記アナログ電圧出力の本数に応じたビット数のテスト用シフトレジスタ回路と、

上記アナログ電圧出力の本数に応じた個数のテスト用スイッチ回路と、

上記テスト用スイッチ回路が共通接続されたテスト出力端子と

を備え、

上記テスト用シフトレジスタ回路のビット出力で上記テスト用スイッチ回路を個別に O N / O F F 制御し、

上記テスト用スイッチ回路の内の任意の 1 つを O N して、そのテスト用スイッチ回路が接続している 1 つのアナログ電圧出力を上記テスト出力端子に出力することを特徴とするものである。

【 0 0 1 6 】

また、本発明のチップキャリアは、上記本発明の L S I チップを実装するためのチップキャリアであって、上記テスト出力端子に接続されるテスト出力パッドが、ユーザエリア内に設けられていることを特徴とするものである。

【 0 0 1 7 】

また、本発明のアナログ電圧出力ドライバデバイスは、上記本発明の L S I チップをキャリアパッケージに実装したアナログ電圧出力ドライバデバイスであって、上記テスト出力端子に接続されたテスト出力パッドが、上記キャリアパッケージに設けられていることを特徴とするものである。

【0018】

【発明の実施の形態】

実施の形態1

図1は本発明の実施の形態1のTFTソースドライバLSIチップの構成図であって、384本のアナログ電圧出力チャンネルを有するTFTソースドライバである。なお、図1において、図6と同じものには同じ符号を付してある。

【0019】

図1の実施の形態1のLSIチップ1は、コントローラ101と、抵抗ストリング102と、2nビット双方向シフトレジスタ103と、データレジスタ104と、レベルシフタ105と、マルチプレクサ106と、出力回路107と、384ビットシフトレジスタ11と、スイッチS001, S002, ..., S384とを備えている。

【0020】

また、図1の実施の形態1のLSIチップ1は、電源VDD, VCCの入力端子と、基準電源VSSの入力端子と、それぞれ2n (=m) 本の電圧VH (2n : 0), VL (2n : 0) の入力端子と、それぞれnビットの階調データDA (n : 0), DB (n : 0), DC (n : 0), DD (n : 0), DE (n : 0), DF (n : 0) の入力端子と、クロックパルスCPの入力端子と、出力極性信号POLの入力端子と、ロードパルスLOADの入力端子と、ダウンシフト信号EDの入力端子と、アップシフト信号EUの入力端子と、384本のアナログ電圧出力O001, O002, ..., O384の出力端子と、テストイネーブル信号TEST ENの入力端子と、テスト出力TEST OUTの出力端子とを備えている。

【0021】

この実施の形態1のLSIチップ1は、従来のLSIチップ100 (図6参照) において、テスト回路を設けたものである。実施の形態1のテスト回路は、アナログ電圧出力本数に相当するビット数の384ビットシフトレジスタ11と、上記アナログ電圧出力本数に相当する数のスイッチS001-S384と、テストイネーブル信号TEST ENの入力端子と、テスト出力TEST OUTの

出力端子とによって構成されている。

【0022】

コントローラ101は、1出力当たり n ビットの計6出力分の階調データDA($n:0$)、DB($n:0$)、DC($n:0$)、DD($n:0$)、DE($n:0$)、DF($n:0$)に応じて、それぞれの出力ごとに $2n$ ビットのアナログ階調データを生成して双方向シフトレジスタ103に出力し、双方向シフトレジスタ103およびデータレジスタ104ならびにマルチプレクサ106の動作を制御するとともに、入力された出力極性信号POLに応じて出力回路107の出力反転機能を制御する。

【0023】

抵抗ストリング102は、抵抗分圧によって、上記 n ビットの階調データに応じたアナログ階調電圧を生成し、マルチプレクサ106に出力する。

【0024】

双方向シフトレジスタ103は、コントローラ101から入力された上記 $2n$ ビットのアナログ階調データを、6出力分ずつクロックパルスCPに同期して取り込む。この双方向シフトレジスタ103は、ダウンシフト信号EDおよびアップシフト信号EUに従って、アップまたはダウンの双方向のシフト動作を切替可能である。

【0025】

データレジスタ104は、双方向シフトレジスタ103に取り込まれた上記アナログ階調データを、ロードパルスLOADに同期してラッチし、レベルシフタ105に出力する。

【0026】

レベルシフタ105は、入力信号の電圧振幅を変換するものであって、例えば、3[V]振幅の信号を10[V]振幅の信号に電圧変換する。

【0027】

マルチプレクサ106は、データレジスタ104でラッチされた1出力当たり $2n$ ビットのアナログ階調データのそれぞれに相当するアナログ階調電圧を、抵抗ストリングス102で生成されたアナログ階調電圧から選択し、出力回路10

7に出力する。

【0028】

出力回路107は、マルチプレクサ106で選択されたアナログ階調電圧を、電流駆動能力を増幅してアナログ電圧出力0001-0384として出力する。

【0029】

実施の形態1のテスト回路において、384ビットシフトレジスタ11は、テストイネーブル信号TEST ENが入力されているテストモードのとき（例えばTEST ENがHレベルのとき）に、イネーブルとなり、クロックパルスCPに同期してデータを1ビットずつシフトし、384ビットの内のいずれか1ビットを順次”1”（例えばHレベル）にする。また、384ビットシフトレジスタ11は、TEST ENが入力されていないオペレーションモードのとき（例えばTEST ENがLレベルのとき）には、ディスエーブルになり、384ビットを全て”0”（例えばLレベル）にする。

【0030】

スイッチS(n) (n=001, 002, ..., 384)は、384ビットシフトレジスタ11の第nビットの出力によって個別にON/OFF制御され、上記の第nビットの出力が”1”のときにONして導通端子間を導通し、上記第nビットの出力が”0”のときにOFFして導通端子間を非導通にする。スイッチS(n)の制御端子は、384ビットシフトレジスタ11の第nビットの出力に接続されており、スイッチS(n)の一方の導通端子は、アナログ電圧出力O(n)に接続されている。スイッチS000-S384の他方の導通端子は、全てテスト出力TEST OUTに共通接続されている。

【0031】

図2は実施の形態1のLSIチップ1を実装したチップキャリアの上面図である。なお、図2において、図7と同じものには同じ符号を付してある。図2の実施の形態1のチップキャリア20は、ユーザエリア201内にLSIチップ1が実装されており、このユーザエリア201で個片に切り抜かれて、TFTソースドライバデバイスのキャリアパッケージになる。

【0032】

図 2 の実施の形態 1 のチップキャリア 2 0 には、L S I チップ 1 のそれぞれの入力端子に個別に接続する複数の入力リード 2 0 2 と、L S I チップ 1 0 0 のアナログ出力電圧 0 0 0 1 - 0 3 8 4 の出力端子のそれぞれに個別に接続する多数の出力リード 2 0 3 と、出力リード 2 0 3 のそれぞれに個別に接続する多数のテストパッド 2 0 4 と、L S I チップ 1 のテストイネーブル信号 T E S T E N の入力端子に接続するテスト入力パッド（テスト入力リード） 2 1 と、L S I チップ 1 のテスト出力 T E S T O U T の出力端子に接続するテスト出力パッド（テスト出力リード） 2 2 とが設けられている。

【 0 0 3 3 】

この実施の形態 1 のチップキャリア 2 0 は、上記従来のチップキャリア 2 0 0（図 7 参照）において、ユーザエリア 2 0 1 内に、テスト入力パッド 2 1 およびテスト出力パッド 2 2 を設けたものである。

【 0 0 3 4 】

従って、この実施の形態 1 のチップキャリア 2 0 では、ユーザエリア 2 0 1 は、テスト入力パッド 2 1、テスト出力パッド 2 2、複数の入力リード 2 0 2、および複数の出力リードが設けられており、L S I チップ 1 が実装され、個片に切り抜かれて T F T ソースドライバデバイスのキャリアパッケージとなるエリアであって、出力リード 2 0 3 の端部にそれぞれ設けられたテストパッド 2 0 4 を含まないエリアである。

【 0 0 3 5 】

テスト入力パッド 2 1 およびテスト出力パッド 2 2 は、複数の入力リード 2 0 2 の配列側に設けられている。入力リード 2 0 2 の本数は出力リード 2 0 3 のそれよりも少なく、入力リード 2 0 2 の幅（ピッチ）は出力リード 2 0 3 のそれよりも広くすることができる。従って、テスト出力パッド 2 2 を、複数の出力リード 2 0 3 の配列側ではなく、出力リード 2 0 3 とは反対側の入力リード 2 0 2 側に配置することによって、幅が広いテスト出力パッド 2 2 を設けることができるので、テスト出力パッド 2 2 の探針が容易になる。

【 0 0 3 6 】

実施の形態 1 のテスト回路のテストモードにおいての動作を以下に説明する。

テストモード（例えばテストイネーブル信号TEST ENがHレベル）では、384ビットシフトレジスタ11は、イネーブルになり、クロックパルスCPが最初に入力されると、第001ビットの出力のみが”1”（例えばHレベル）になり、スイッチS001のみをONにする。

【0037】

384ビットシフトレジスタ11は、384ビットの出力の内の1ビットのみを”1”とし、その他のビットを”0”（例えばLレベル）にするので、スイッチS001がONのときには、他のスイッチS002-S384はOFFである。

【0038】

これによって、出力回路107のアナログ電圧出力0001-0384の内、出力0001のみが、スイッチS001を介してテスト出力TEST OUTに出力され、従ってキャリアパッケージ上のテスト出力パッド22に出力される。

【0039】

次に、384ビットシフトレジスタ11は、2つ目のクロックパルスCPが入力されると、データをシフトさせ、第001ビットの出力はLレベルになって、第002ビットの出力のみがHレベルになり、スイッチS001をOFFして、スイッチS002のみをONする。スイッチS003-S384は、OFFのままである。

【0040】

これによって、アナログ電圧出力0002のみが、スイッチS002を介してテスト出力TEST OUTに出力され、従ってキャリアパッケージ上のテスト出力パッド22に出力される。

【0041】

以下同様に、クロックパルスCPの入力ごとに384ビットシフトレジスタ11の上位ビットが順次Hレベルとなり、そのHレベルの1つのビットに応じて、1つのスイッチSのみが順次ONになり、1本のアナログ電圧出力Oのみがキャリアパッケージ上のテスト出力パッド22に順次出力される。

【0042】

このテストモードでは、LSIチップ1に設けたテスト回路によってテスト出力パッド22に全てのアナログ電圧出力を順次出力することができるので、TFTソースドライバデバイスのキャリアパッケージ上において、探針が困難な狭ピッチの出力リード203に探針することなく、探針が容易なリードである入力リード202およびテスト入力パッド21ならびにテスト出力パッド22に探針すれば、全てのアナログ電圧出力を順次測定することができる。

【0043】

以上のように実施の形態1によれば、狭ピッチのため探針が困難である出力リードを探針することなく、個片のキャリアパッケージに実装されたTFTソースドライバLSIチップの全てのアナログ電圧出力を容易に測定できる。

【0044】

実施の形態2

図3は本発明の実施の形態2のTFTソースドライバLSIチップの構成図であって、384本のアナログ電圧出力チャンネルを有するTFTソースドライバである。なお、図3において、図1と同じものあるいはそれに相当するものには同じ符号を付してある。

【0045】

図3の実施の形態2のLSIチップ2は、コントローラ101と、抵抗ストリング102と、2nビット双方向シフトレジスタ103と、データレジスタ104と、レベルシフタ105と、マルチプレクサ106と、出力回路107と、192ビットシフトレジスタ12と、スイッチS001, S002, ..., S384とを備えている。

【0046】

また、図3の実施の形態2のLSIチップ2は、電源VDD, VCCの入力端子と、基準電源VSSの入力端子と、それぞれ2n(=m)本の電圧VH(2n:0), VL(2n:0)の入力端子と、それぞれnビットの階調データDA(n:0), DB(n:0), DC(n:0), DD(n:0), DE(n:0), DF(n:0)と、クロックパルスCPの入力端子と、出力極性信号POLの入力端子と、ロードパルスLOADの入力端子と、ダウンシフト信号EDの入力

端子と、アップシフト信号EUの入力端子と、384本のアナログ電圧出力O001, O002, ..., O384の出力端子と、テストイネーブル信号TEST ENの入力端子と、テスト出力ODD TEST OUTの出力端子と、テスト出力EVEN TEST OUTの出力端子とを備えている。

【0047】

この実施の形態2のLSIチップ2は、上記実施の形態1のLSIチップ10(図1参照)において、テスト回路の構成を簡略にしたものである。実施の形態2のテスト回路は、アナログ電圧出力本数の半分に相当するビット数の192ビットシフトレジスタ12と、アナログ電圧出力本数に相当する数のスイッチS001-S384と、テストイネーブル信号TEST ENの入力端子と、2本のテスト出力ODD TEST OUT, EVEN TEST OUTの出力端子とによって構成されている。

【0048】

実施の形態2のテスト回路において、192ビットシフトレジスタ12は、テストイネーブル信号TEST ENが入力されているテストモードのとき(例えばTEST ENがHレベルのとき)に、イネーブルとなり、クロックパルスCPに同期してデータを1ビットずつシフトし、192ビットの内のいずれか1ビットを順次"1"(例えばHレベル)にする。また、192ビットシフトレジスタ12は、TEST ENが入力されていないオペレーションモードのとき(例えばTEST ENがLレベルのとき)には、ディスエーブルになり、192ビットを全て"0"(例えばLレベル)にする。

【0049】

スイッチS(2n-1)(n=001, 002, ..., 192)およびS(2n)は、192ビットシフトレジスタ12の第nビットの出力が"1"のときにONして導通端子間を導通し、上記第nビットの出力が"0"のときにOFFして導通端子間を非導通にする。スイッチS(2n-1)およびS(2n)の制御端子は、192ビットシフトレジスタ12の第nビットの出力に接続されている。スイッチS(2n-1)の一方の導通端子は、アナログ電圧出力O(2n-1)に接続されており、スイッチS(2n)の一方の導通端子は、アナログ電圧出力

○(2n)に接続されている。奇数番目のスイッチS001, S003, ..., S383の他方の端子は、テスト出力ODD TEST OUTに共通接続されており、偶数番目のスイッチS002, S004, ..., S384の他方の端子は、テスト出力EVEN TEST OUTに共通接続されている。

【0050】

実施の形態2のLSIチップ2を実装したチップキャリアは、上記実施の形態1のチップキャリア20(図2参照)において、ユーザエリア201内のテスト出力パッド22を2本にして、テスト出力ODD TEST OUTに接続するテスト出力パッド22(22-ODDとする)と、テスト出力EVEN TEST OUTの出力端子に接続するテスト出力パッド22(22-EVENとする)を設けたものである。

【0051】

従って、この実施の形態2のチップキャリアでは、上記実施の形態1と同様に、ユーザエリア201は、テスト入力パッド21、テスト出力パッド22-ODD, 22-EVEN、複数の入力リード202、および複数の出力リードが設けられており、LSIチップ1が実装され、個片に切り抜かれてTFTソースドライバデバイスのキャリアパッケージとなるエリアであって、出力リード203の端部にそれぞれ設けられたテストパッド204を含まないエリアである。

【0052】

また、上記実施の形態1と同様に、テスト入力パッド21ならびにテスト出力パッド22-ODDおよび22-EVENは、複数の入力リード202の配列側に設けられている。このようにテスト出力パッド22-ODDおよび22-EVENを入力リード202側に配置することによって、上記実施の形態1と同様に、幅が広いテスト出力パッド22-ODDおよび22-EVENを設けることのできるため、テスト出力パッド22-ODDおよび22-EVENの探針が容易になる。

【0053】

実施の形態2のテスト回路のテストモードにおいての動作を以下に説明する。テストモード(例えばテストイネーブル信号TEST ENがHレベル)では、

192ビットシフトレジスタ12は、イネーブルになり、クロックパルスCPが最初に入力されると、第001ビットの出力のみが”1”（例えばHレベル）になり、スイッチS001およびS002のみをONにする。

【0054】

192ビットシフトレジスタ12は、192ビットの出力の内の1ビットのみを”1”とし、その他のビットを”0”（例えばLレベル）にするので、スイッチS001およびS002がONのときには、他のスイッチS003-S384はOFFである。

【0055】

これによって、出力回路107のアナログ電圧出力0001-0384の内、出力0001は、スイッチS001を介してテスト出力ODD TEST OUTに出力され、従ってキャリアパッケージ上のテスト出力パッド22-ODDに出力される。また、アナログ電圧出力0002は、スイッチS002を介してテスト出力EVEN TEST OUTに出力され、従ってキャリアパッケージ上のテスト出力パッド22-EVENに出力される。

【0056】

次に、192ビットシフトレジスタ12は、2つ目のクロックパルスCPが入力されると、データをシフトさせ、第001ビットの出力はLレベルになって、第002ビットの出力のみがHレベルになり、スイッチS001およびS002をOFFして、スイッチS003およびS004をONする。スイッチS005-S384は、OFFのままである。

【0057】

これによって、アナログ電圧出力0003が、スイッチS003を介してテスト出力ODD TEST OUTに出力され、従ってキャリアパッケージ上のテスト出力パッド22-ODDに出力される。また、アナログ電圧出力0004が、スイッチS004を介してテスト出力EVEN TEST OUTに出力され、従ってキャリアパッケージ上のテスト出力パッド22-EVENに出力される。

【0058】

以下同様に、クロックパルスCPの入力ごとに192ビットシフトレジスタ12の上位ビットが順次Hレベルとなり、そのHレベルの1つのビットに応じて、2つのスイッチSのみが順次ONになり、2本のアナログ電圧出力Oがキャリアパッケージ上のテスト出力パッド22-ODDおよび22-EVENにそれぞれ順次出力される。

【0059】

このテストモードでは、LSIチップ2に設けたテスト回路によって2本のテスト出力パッド22（22-ODDおよび22-EVEN）に全てのアナログ電圧出力を順次出力することができるので、TFTソースドライバデバイスのキャリアパッケージ上において、探針が困難な狭ピッチの出力リード203に探針することなく、探針が容易なリードである入力リード202およびテスト入力パッド21ならびに2本のテスト出力パッド22に探針すれば、全てのアナログ電圧出力を順次測定することができる。

【0060】

以上のように実施の形態2によれば、テスト回路のシフトレジスタのビット数を上記実施の形態1の半分にした構成で、上記実施の形態1と同様の効果が得られる。さらに、テスト出力の本数を3本、4本、…に増やすことが可能であれば、シフトレジスタのビット数を上記実施の形態1の1/3、1/4、…にすることも可能である。

【0061】

実施の形態3

図4は本発明の実施の形態3のTFTソースドライバのLSIチップの構成図であって、384本のアナログ電圧出力チャンネルを有するTFTソースドライバである。なお、図4において、図3と同じものには同じ符号を付してある。

【0062】

図4の実施の形態3のLSIチップ3は、コントローラ101と、抵抗ストリング102と、2nビット双方向シフトレジスタ103と、データレジスタ104と、レベルシフタ105と、マルチプレクサ106と、出力回路107と、192ビットシフトレジスタ21と、スイッチS001, S002, …, S192

とを備えている。

【0063】

また、図4の実施の形態3のLSIチップ3は、電源VDD、VCCの入力端子と、基準電源VSSの入力端子と、それぞれ $2n (=m)$ 本の電圧VH($2n : 0$)、VL($2n : 0$)の入力端子と、それぞれ n ビットの階調データDA($n : 0$)、DB($n : 0$)、DC($n : 0$)、DD($n : 0$)、DE($n : 0$)、DF($n : 0$)の入力端子と、クロックパルスCPの入力端子と、出力極性信号POLの入力端子と、ロードパルスLOADの入力端子と、ダウンシフト信号EDの入力端子と、アップシフト信号EUの入力端子と、384本のアナログ電圧出力0001, 0002, ..., 0384の出力端子と、テストイネーブル信号TEST ENの入力端子と、テスト出力TEST OUTの出力端子とを備えている。

【0064】

この実施の形態3のLSIチップ30は、上記実施の形態2のLSIチップ20（図3参照）において、テスト回路の構成をさらに簡略にしたものである。実施の形態3のテスト回路は、アナログ電圧出力本数の半分に相当するビット数の192ビットシフトレジスタ12と、上記アナログ電圧出力本数の半分に相当する数のスイッチS001-S192と、テストイネーブル信号のTEST ENの入力端子と、テスト出力TEST OUTの出力端子とによって構成されている。

【0065】

実施の形態3のテスト回路において、スイッチS(n) ($n=001, 002, \dots, 192$)は、192ビットシフトレジスタ12の第 n ビットの出力によって個別にON/OFF制御され、上記の第 n ビットの出力が”1”のときにONして導通端子間を導通し、上記第 n ビットの出力が”0”のときにOFFして導通端子間を非導通にする。スイッチS(n)の制御端子は、192ビットシフトレジスタ12の第 n ビットの出力に接続されており、スイッチS(n)の一方の導通端子は、アナログ電圧出力O($2n-1$)に接続されている。スイッチS00-S192の他方の導通端子は、全てテスト出力TEST OUTに共通接

続されている。

【0066】

実施の形態3のLSIチップ3を実装したチップキャリアは、上記実施の形態1のチップキャリア20（図2参照）と同様である。

【0067】

従って、この実施の形態3のチップキャリアでは、上記実施の形態1と同様に、ユーザエリア201は、テスト入力パッド21、テスト出力パッド22、複数の入力リード202、および複数の出力リードが設けられており、LSIチップ1が実装され、個片に切り抜かれてTFTソースドライバデバイスのキャリアパッケージとなるエリアであって、出力リード203の端部にそれぞれ設けられたテストパッド204を含まないエリアである。

【0068】

また、上記実施の形態1と同様に、テスト入力パッド21およびテスト出力パッド22は、複数の入力リード202の配列側に設けられている。このようにテスト出力パッド22を入力リード202側に配置することによって、幅が広いテスト出力パッド22を設けることできるので、テスト出力パッド22の探針が容易になる。

【0069】

TFTソースドライバの出力回路107は、出力極性信号POLに従って、奇数番目の出力O(2n-1)と、偶数番目の出力O(2n)とを入れ替えることができるようになっている。

【0070】

図5は出力回路107の構成図である。図5において、出力回路107は、出力アンプPAおよびNAと、セクタPSおよびNSとを備えている。

【0071】

出力アンプPAは、マルチプレクサ106のデコード出力Pをセンスおよび増幅してセクタPSに出力し、出力アンプNAは、マルチプレクサ106のデコード出力Nをセンスおよび増幅してセクタNSに出力する。

【0072】

セクタPSは、デコード出力Pを出力極性信号POLに従って奇数番目の出力O(2n-1)または偶数番目の出力O(2n)に出力し、セクタNSは、デコード出力Nを出力極性信号POLに従って偶数番目の出力端子O(2n)または奇数番目の出力O(2n-1)に出力する。

【0073】

出力極性信号POLが”0”(例えばLレベル)のときには、デコード出力Pは出力O(2n-1)に、デコード出力Nは出力O(2n)にそれぞれ出力され、出力極性信号POLが”1”(例えばHレベル)のときには、出力が反転して、デコード出力Pは出力O(2n)に、デコード出力Nは出力O(2n-1)にそれぞれ出力される。

【0074】

このように、出力回路107は、出力極性信号POLに応じて、奇数番目の出力O(2n-1)と偶数番目の出力O(2n)とを入れ替えることができるので、VH側の出力およびVL側の出力のいずれをも選択して奇数番目の出力O(2n-1)に出力することができる。

【0075】

この出力回路107の出力反転機能を用いて、出力極性信号POLのHレベルおよびLレベルのそれぞれについて、奇数番目の出力O(2n-1)をキャリアパッケージ上のテスト出力パッド22で測定すれば、384本の全てのアナログ電圧出力特性を測定できる。

【0076】

実施の形態3のテスト回路のテストモードにおいての動作を以下に説明する。まず、出力極性信号POLを”0”(例えばLレベル)に固定してテストモードにする。これによって、アナログ電圧出力O(2n-1)はデコード出力Pとなる。

【0077】

テストモード(例えばテストイネーブル信号TEST ENがHレベル)では、192ビットシフトレジスタ12は、イネーブルになり、クロックパルスCPが最初に入力されると、第001ビットの出力のみが”1”(例えばHレベル)

になり、スイッチ S001 のみを ON にする。

【0078】

192ビットシフトレジスタ12は、192ビットの出力の内の1ビットのみを”1”とし、その他のビットを”0”（例えばLレベル）にするので、スイッチ S001 が ON のときには、他のスイッチ S002 - S192 は OFF である。

【0079】

これによって、出力回路107のアナログ電圧出力 O001 - O384 の内、出力 O001（デコード出力 P）のみが、スイッチ S001 を介してテスト出力 TEST OUT に出力され、従ってキャリアパッケージ上のテスト出力パッド 22 に出力される。

【0080】

次に、192ビットシフトレジスタ12は、2つ目のクロックパルス CP が入力されると、データをシフトさせ、第001ビットの出力はLレベルになって、第002ビットの出力のみがHレベルになり、スイッチ S001 を OFF して、スイッチ S002 のみを ON する。スイッチ S003 - S192 は、OFF のままである。

【0081】

これによって、アナログ電圧出力 O003（デコード出力 P）のみが、スイッチ S002 を介してテスト出力 TEST OUT に出力され、従ってキャリアパッケージ上のテスト出力パッド 22 に出力される。

【0082】

以下同様に、クロックパルス CP の入力ごとに192ビットシフトレジスタ11の上位ビットが順次Hレベルとなり、そのHレベルの1つのビットに応じて、1つのスイッチ S のみが順次 ON になり、1本のアナログ電圧出力 O（デコード出力 P）のみがキャリアパッケージ上のテスト出力パッド 22 に順次出力される。

【0083】

192ビットシフトレジスタ12の第192ビットがHレベルとなり、アナロ

グ電圧出力O383（デコード出力P）がキャリアパッケージ上のテスト出力パッド22に出力されたら、出力極性信号POLを”1”（例えばHレベル）に反転させる。これによって、アナログ電圧出力O（2n-1）は、デコード出力Pからデコード出力Nに反転する。つまり、アナログ電圧出力O（2n-1）は、出力極性信号POLがLレベルだったときのアナログ電圧出力O（2n）となり、アナログ電圧出力O（2n）は、出力極性信号POLがLレベルだったときのアナログ電圧出力O（2n-1）となる。

【0084】

この出力極性信号POLがHレベルに反転したテストモードでは、クロックパルスCPの入力ごとに192ビットシフトレジスタ11の上位ビットが順次Hレベルとなり、そのHレベルの1つのビットに応じて、1つのスイッチSのみが順次ONになり、1本のアナログ電圧出力O（デコード出力N）のみがキャリアパッケージ上のテスト出力パッド22に順次出力される。

【0085】

この出力極性信号POLをLレベルおよびHレベルとしたテストモードでは、LSIチップ3に設けたテスト回路によってテスト出力パッド22に全てのアナログ電圧出力を順次出力することができるので、TFTソースドライバデバイスのキャリアパッケージ上において、探針が困難な狭ピッチの出力リード203に探針することなく、探針が容易なリードである入力リード202およびテスト入力パッド21ならびにテスト出力パッド22に探針すれば、全てのアナログ電圧出力を順次測定することができる。

【0086】

なお、この実施の形態3では、奇数番目のアナログ電圧出力OをスイッチSに接続した構成を説明したが、偶数番目のアナログ電圧出力OをスイッチSに接続した構成も可能である。

【0087】

以上のように実施の形態3によれば、テスト回路のシフトレジスタのビット数およびスイッチSの数を上記実施の形態1の半分にした構成で、上記実施の形態1と同様の効果が得られる。

【0088】

なお、上記実施の形態1-3のテスト回路のシフトレジスタは、テストイネーブル信号TEST ENによってイネーブルとなり、TFTソースドライバのクロックパルスCPに同期してデータをシフトさせる構成であるが、リセットまたはセット付きのシフトレジスタを設け、テストイネーブル信号TEST ENの入力端子からシフトレジスタの動作クロックを入力する構成も可能である。この構成では、オペレーションモードにするときにはクロックを入力せず、テストモードにするときにはクロックを入力する。オペレーションモードでは、全てのビット出力がリセットまたはセットされている。また、テストモードでは、クロックを入力するごとに、ただ1つのHレベルのビットが第001ビットから順次上位ビットにシフトし、上記実施の形態1-3と同様の動作ができる。また、シフトレジスタの先頭または最終ビットにダミービットを設け、オペレーションモードでは、ただ1つのHレベルのビットをダミービットに保持しておき、テストモードにおいてのクロック入力ごとに、上記ただ1つのHレベルのビットが上記ダミービットから順次シフトする構成も可能である。

【0089】

また、TFTソースドライバのアナログ電圧出力部(HV部)は、一般に10[V]ほどの高電圧を出力するように構成されており、入力部(LV部)は、3-5[V]の入力電圧で動作するように構成されている。HV部とLV部の回路構成の場合、テスト回路のシフトレジスタおよびスイッチは、HV部で構成すればよい。しかしながら、HV部は面積の大きな回路になってしまうので、上記シフトレジスタをLV部で構成し、上記スイッチをHV部で構成するほうが経済的である。この場合には、シフトレジスタのビット出力であるLV部の電圧レベルをスイッチのON/OFF制御のHV部の電圧レベルに変換することが必要であるため、それぞれのノードに電圧レベル変換回路(電圧レベルシフト回路)を挿入する。

【0090】

また、テスト入力リード(テスト入力パッド)21およびテスト出力リード(テスト出力パッド)22は、針当てをしやすい任意の形態で、ユーザエリア内に

設けることが可能である。

【 0 0 9 1 】

【発明の効果】

以上説明したように本発明によれば、個片のキャリアパッケージに実装されたアナログ電圧出力ドライバ L S I チップの電気特性を容易に確認できるという効果がある。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の T F T ソースドライバ L S I チップの構成図である。

【図 2】 図 1 の L S I チップを実装したチップキャリアの上面構成図である。

【図 3】 本発明の実施の形態 2 の T F T ソースドライバ L S I チップの構成図である。

【図 4】 本発明の実施の形態 3 の T F T ソースドライバ L S I チップの構成図である。

【図 5】 T F T ソースドライバ L S I チップにおける出力回路の構成図である。

【図 6】 従来の T F T ソースドライバ L S I チップの構成図である。

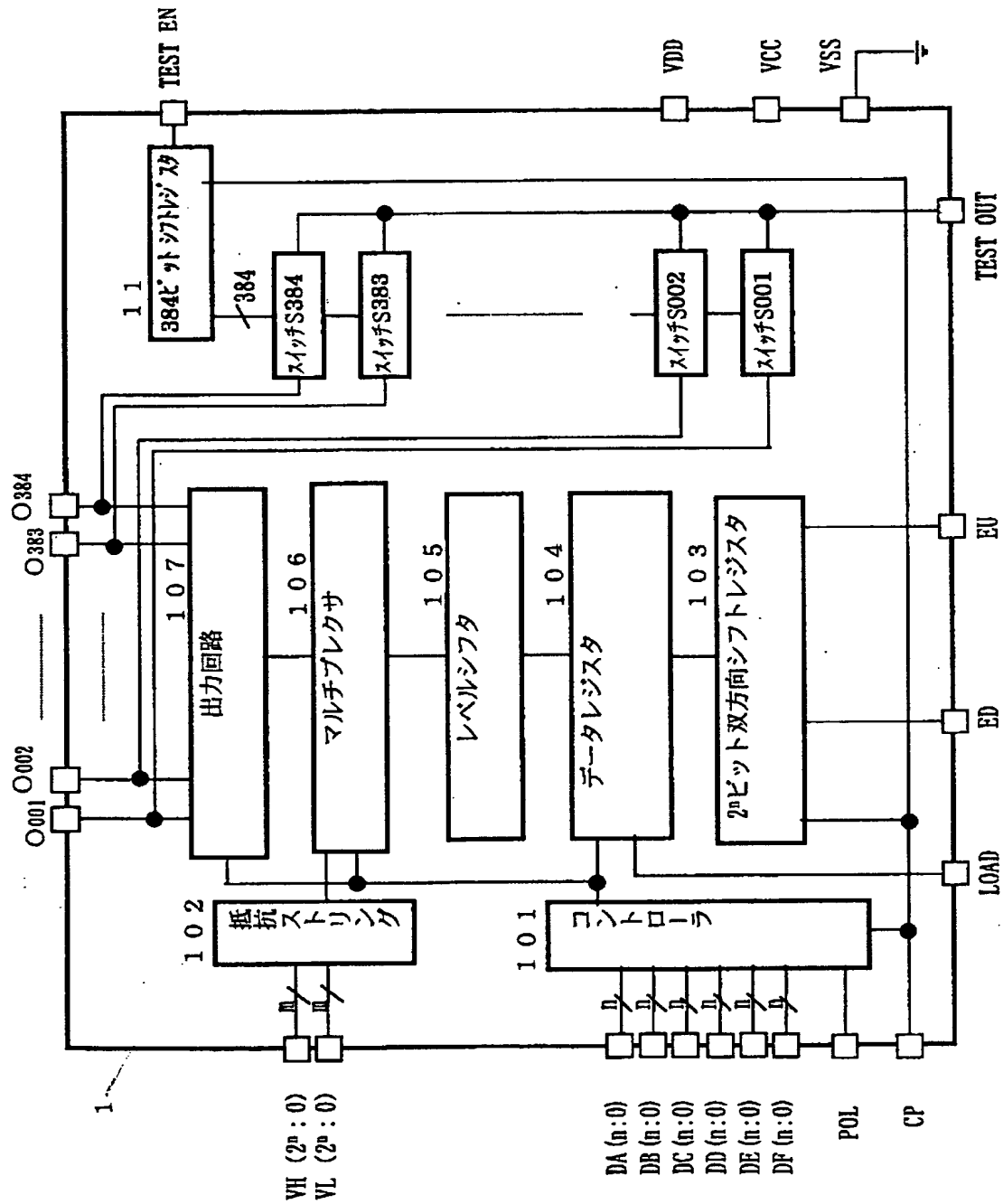
【図 7】 図 6 の L S I チップを実装したチップキャリアの上面構成図である。

【符号の説明】

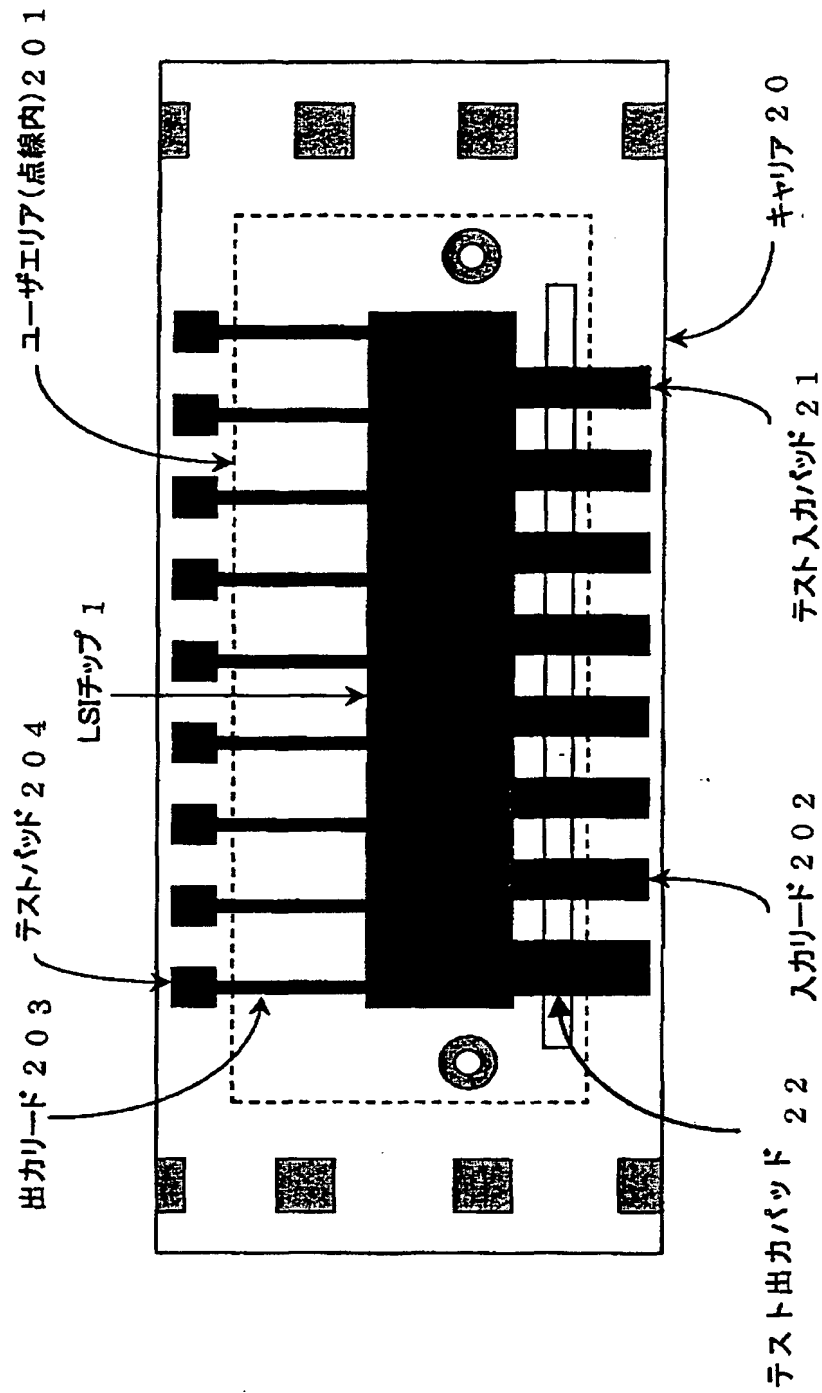
1, 2, 3 T F T ソースドライバ L S I チップ、 1 1, 1 2 シフトレジスタ、 S 0 0 1, S 0 0 2, …, S 3 8 4 スイッチ、 2 0 チップキャリア、 2 1 テスト入力リード（テスト入力パッド）、 2 2 テスト出力リード（テスト出力パッド）。

【書類名】 図面

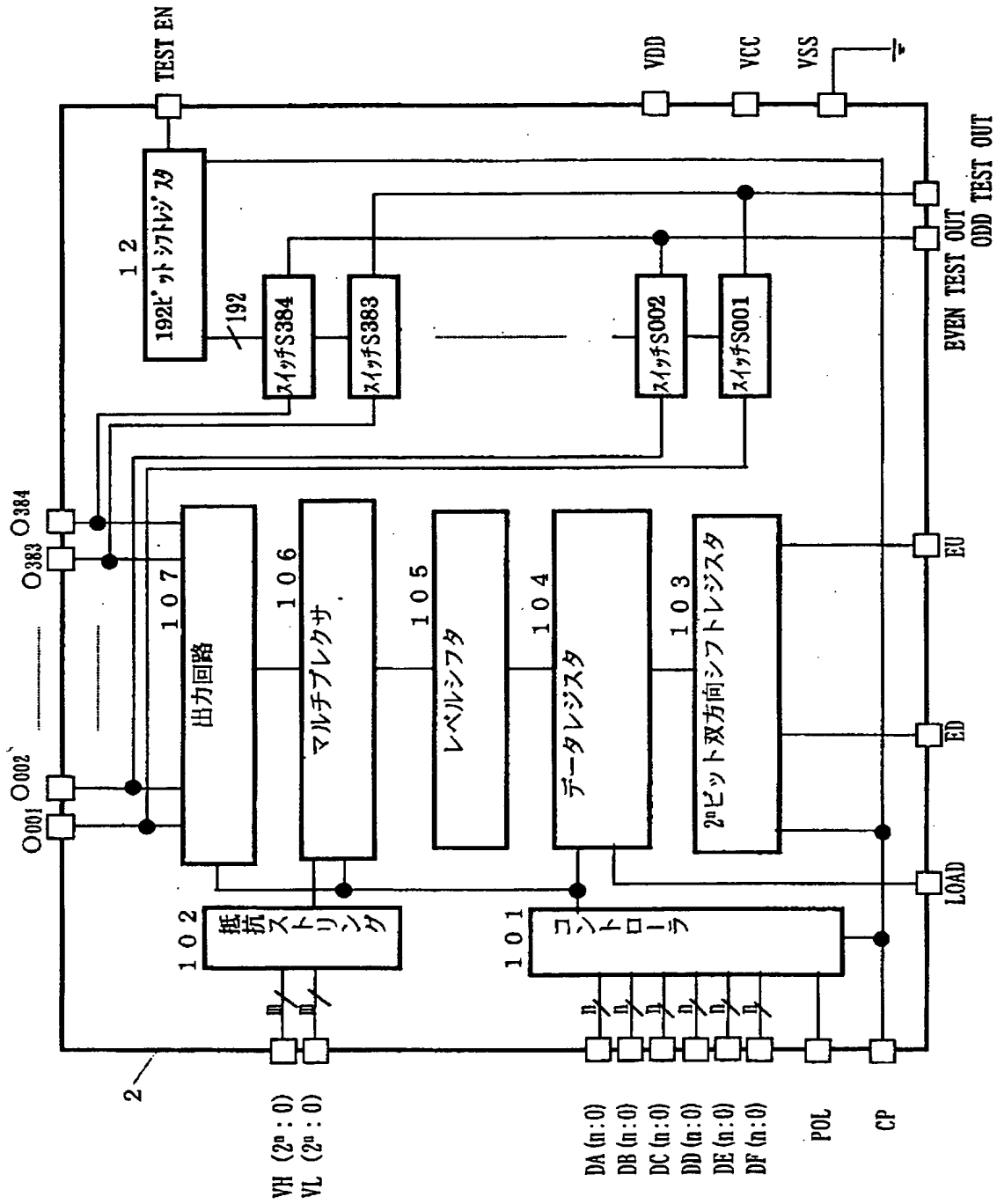
【図 1】



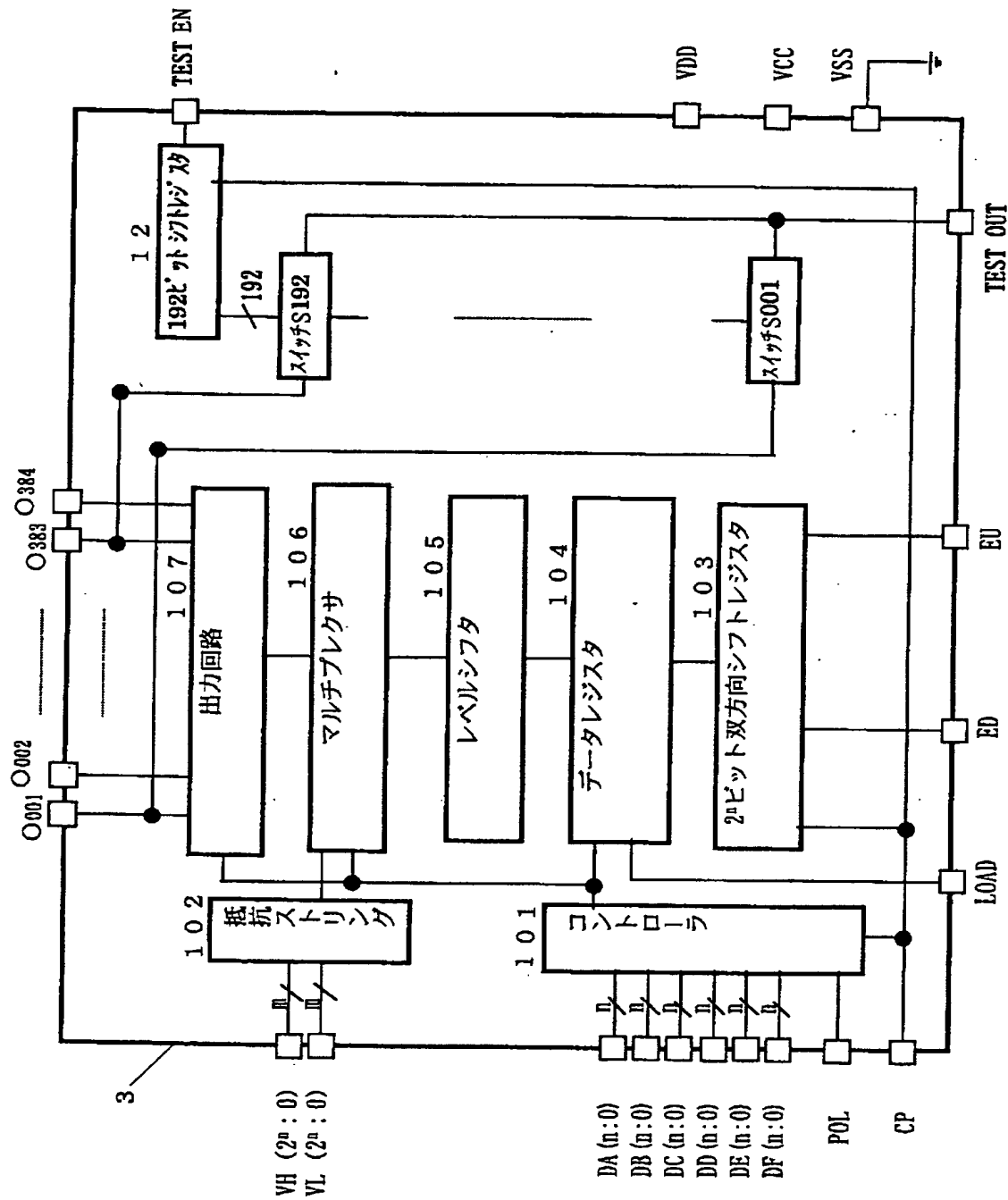
【図 2】



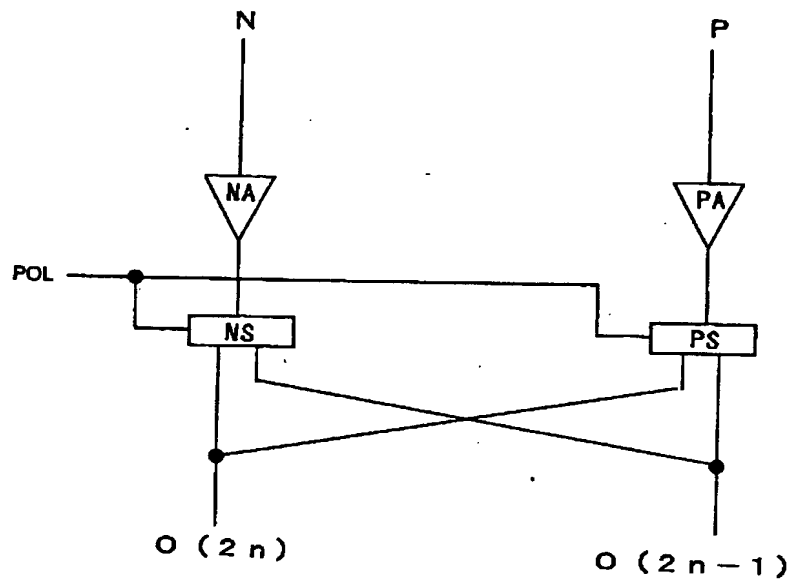
【図 3】



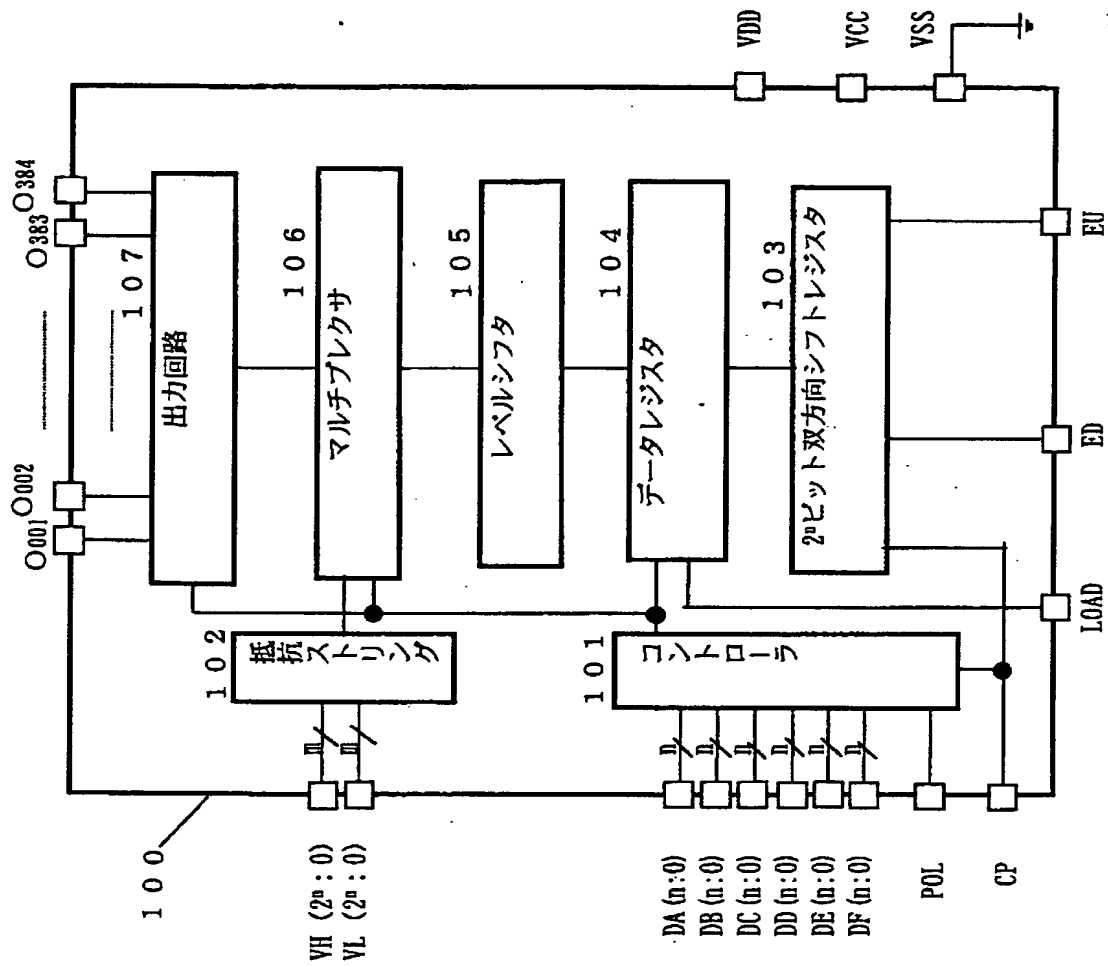
【図4】



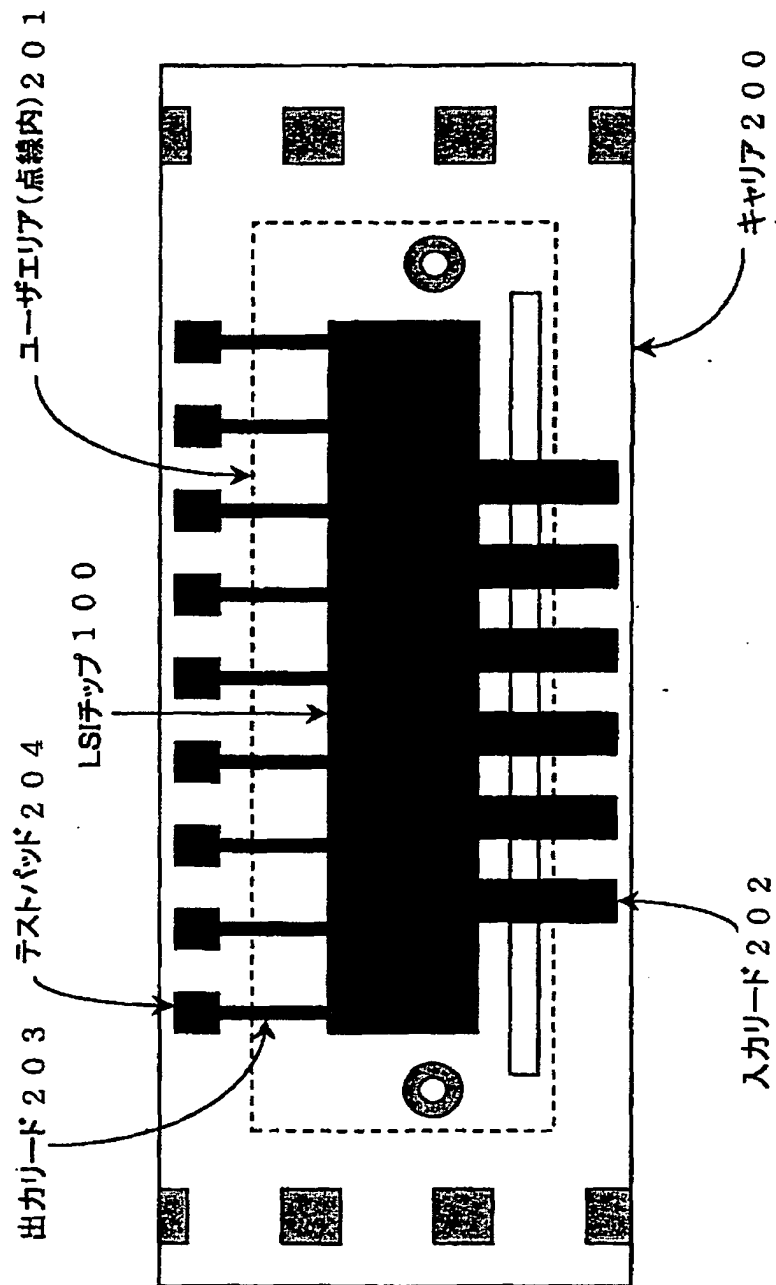
【図 5】



【図 6】



【図7】



【書類名】 要約書

【要約】

【課題】 個片のキャリアパッケージに実装されたアナログ電圧出力ドライバLSIチップの電気特性を容易に確認できるようにする。

【解決手段】 384本のアナログ電圧出力O001-O384を有するTFTソースドライバLSIにおいて、384ビットシフトレジスタ11と、384個のスイッチS001-S384と、スイッチS001-S384が共通接続されたテスト出力TEST OUTの出力端子とを備え、シフトレジスタ11のビット出力でスイッチS001-S384を個別にON/OFF制御し、スイッチS001-S384の内の任意の1つをONして、そのスイッチが接続している1つのアナログ電圧出力をテスト出力TEST OUTに出力する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000295]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 東京都港区虎ノ門1丁目7番12号
氏 名 沖電気工業株式会社